

CLIPPEDIMAGE= JP410312999A

PAT-NO: JP410312999A

DOCUMENT-IDENTIFIER: JP 10312999 A

TITLE: SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

PUBN-DATE: November 24, 1998

INVENTOR-INFORMATION:

NAME

YASUI, TAKATOSHI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

MATSUSHITA ELECTRON CORP

N/A

APPL-NO: JP09123794

APPL-DATE: May 14, 1997

INT-CL (IPC): H01L021/312;H01L021/3205

ABSTRACT:

PROBLEM TO BE SOLVED: To prevent the surface of a scribed part and a fuse part from becoming irregular, and to prevent faulty alignment in the inspection process to be conducted later.

SOLUTION: After a metal wiring layer 6 is formed on a semiconductor substrate 4 and a surface protective film 8 is formed on the whole surface of the semiconductor substrate 4 including the region where a chip is not formed, the desired part of the surface protective film 8 is patternized so as to perforate an aperture on the desired part, in such a manner that the aperture rate of the region, having no chip on the semiconductor substrate 4, becomes a prescribed rate or less. As the surface protective film 8 is patterned this way so as to obtain the aperture rate of the region having no chip on the semiconductor substrate 4, the range of etching to be performed on the desired part of the surface protective film 8 becomes narrow, an aluminum alloy, with which the metal wiring layer 6 is formed, and a part of a TiN film, which is located

above the aluminum alloy and formed to prevent reflection, and the part reacted by etching gas can be prevented from dropping down to a scribed part and a fuse part.

COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 許出願公開番号

特開平10-312999

(43) 公開日 平成10年(1998)11月24日

(51) Int.Cl.⁸

識別記号

F I

H 0 1 L 21/312
21/3205

H 0 1 L 21/312
21/88

Z
T

審査請求 未請求 請求項の数 3 O L (全 4 頁)

(21) 出願番号 特願平9-123794

(22) 出願日 平成9年(1997)5月14日

(71) 出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72) 発明者 安井 孝俊

大阪府高槻市幸町1番1号 松下電子工業
株式会社内

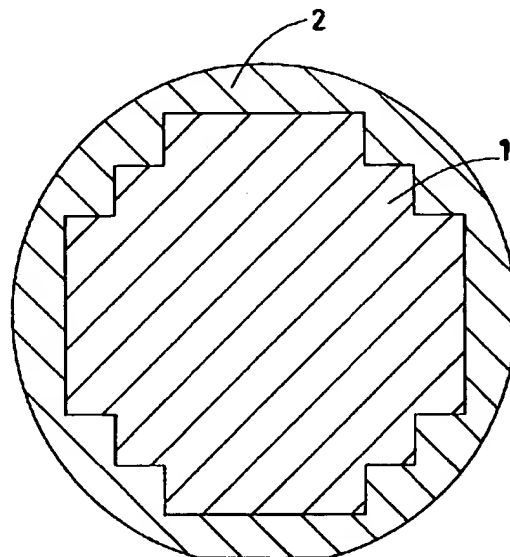
(74) 代理人 弁理士 宮井 暎夫

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 スクライブ部やヒューズ部等の表面が凹凸にならず、後の検査工程においてアライメント不良を防止する。

【解決手段】 半導体基板4に金属配線層6を形成し、チップが形成されない領域を含む半導体基板4表面全体に表面保護膜8を形成した後、表面保護膜8の所望の箇所を開口するためのパターニング時に、半導体基板4上のチップの無い領域の開口率が一定の割合以下となるようにパターニングする。このように、半導体基板4上のチップの無い領域の開口率が一定の割合以下となるようにパターニングするので、表面保護膜8の所望の箇所を開口するエッチングの範囲が小さくなり、金属配線層6を形成しているアルミニウム合金やその上層にある反射防止を目的としたTiN膜の一部またはその一部がエッチングガスと反応したものが、スクライブ部やヒューズ部の上に落下することを抑制できる。



1...チップのある領域でポリイミドの残っている領域
2...チップのない領域でポリイミドの残っている領域

【特許請求の範囲】

【請求項1】 半導体基板と、この半導体基板に形成された金属配線層と、所望の箇所に開口部を有するように前記半導体基板表面全体に形成された表面保護膜とを備えた半導体装置であって、前記半導体基板上のチップの無い領域に前記表面保護膜が形成されていることを特徴とする半導体装置。

【請求項2】 半導体基板に金属配線層を形成し、チップが形成されない領域を含む前記半導体基板表面全体に表面保護膜を形成した後、前記表面保護膜の所望の箇所を開口するためのパターニング時に、前記半導体基板上のチップの無い領域の開口率が一定の割合以下となるようにパターニングすることを特徴とする半導体装置の製造方法。

【請求項3】 半導体基板上のチップの無い領域の開口率を25%以下とした請求項2記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、特に冗長用ヒューズと外部導出用パッドの信頼性の向上を図った半導体装置の製造方法に関するものである。

【0002】

【従来の技術】図2は、電気ヒューズを含む半導体装置の従来の製造方法を示した図である。図2を用いて従来の半導体装置の製造方法を説明する。半導体基板4上の層間絶縁膜5上にアルミニウム合金膜を堆積した後、従来の写真食刻法により、金属配線層6を形成する。その後、パッシベーション膜7として、プラズマ化学気相堆積法（Chemical Vapor Deposition）により、シリコン窒化膜を形成する。その後、パッケージ材料から放出される放射線を遮る目的で、ポリイミド膜8を形成する。このポリイミド膜8は、パッド部のパッシベーション膜7の開口マスクを兼ねており、開口部は従来のフォトリソグラフィ法により形成される。このとき、図3に示すように、ポリイミドはネガ型であり、チップ以外のウェハ上はスルーホールの観点から露光せずポリイミド膜8は残さない。その後、通常のドライエッチング法により、パッシベーション膜7を除去する。図中の1はチップのある領域でポリイミドの残っている領域で斜線で示し、3はチップの無い領域でポリイミドの残っていない領域である。なお、これらの内容は、特願平7-150201号公報や、特願平7-106104号公報に記述されている。

【0003】

【発明が解決しようとする課題】ところがこのような従来の技術では、スクライプ部や、ヒューズ部の表面が凸凹になってしまい、外観上の問題だけでなく後の検査工程において、アライメント不良を起こしたりすることがわかった。その原因は、パッシベーション膜7の開口をす

るエッチングの際に金属配線層6を形成しているアルミニウム合金やその上層にある、反射防止を目的としたTiN膜が露出すると、その一部または、一部がエッチングガスと反応したものがスクライプ部やヒューズ部の上に落下し、それがエッチングマスクとなって表面が凸凹になるものと推測される。

【0004】したがって、この発明の目的は、スクライプ部やヒューズ部等の表面が凹凸にならず、後の検査工程においてアライメント不良を起こすことがない半導体装置およびその製造方法を提供することである。

【0005】

【課題を解決するための手段】請求項1記載の半導体装置は、半導体基板と、この半導体基板に形成された金属配線層と、所望の箇所に開口部を有するように半導体基板表面全体に形成された表面保護膜とを備えた半導体装置であって、半導体基板上のチップの無い領域に表面保護膜が形成されていることを特徴とする。

【0006】このように、半導体基板上のチップの無い領域に表面保護膜が形成されているので、製造時において表面保護膜の所望の箇所を開口するエッチングの範囲が小さくなり、金属配線層を形成しているアルミニウム合金やその上層にある、反射防止を目的としたTiN膜の一部またはその一部がエッチングガスと反応したものが、スクライプ部やヒューズ部の上に落下することを抑制できる。このため、スクライプ部やヒューズ部の表面に凹凸がなくなる。

【0007】請求項2記載の半導体装置の製造方法は、半導体基板に金属配線層を形成し、チップが形成されない領域を含む半導体基板表面全体に表面保護膜を形成した後、表面保護膜の所望の箇所を開口するためのパターニング時に、半導体基板上のチップの無い領域の開口率が一定の割合以下となるようにパターニングすることを特徴とする。

【0008】このように、半導体基板上のチップの無い領域の開口率が一定の割合以下となるようにパターニングするので、表面保護膜の所望の箇所を開口するエッチングの範囲が小さくなり、金属配線層を形成しているアルミニウム合金やその上層にある反射防止を目的としたTiN膜の一部またはその一部がエッチングガスと反応したものが、スクライプ部やヒューズ部の上に落下することを抑制できる。このため、スクライプ部やヒューズ部の表面に凹凸がなくなり、外観上も問題なく、後の工程においてもアライメント不良が発生しなくなる。また、スルーホールの観点から半導体基板上のチップの無い領域は開口しているほうがよいので、開口しないことによる上記効果と鑑みて開口率が一定の割合以下とすることが望ましい。

【0009】請求項3記載の半導体装置の製造方法は、請求項2において、半導体基板上のチップの無い領域の開口率を25%以下とした。チップ面積が小さいほど開

口率が大いことになるが、最小のチップ面積の場合の開口率が25%なので、これ以下にする必要がある。

【0010】

【発明の実施の形態】この発明の実施の形態の半導体装置およびその製造方法を図1に基づいて説明する。図1はこの発明の実施の形態の半導体装置の概念図である。半導体装置は、図2の従来例と同様に半導体基板4と、この半導体基板4に形成された金属配線層6と、所望の箇所に開口部を有するように半導体基板4の表面全体に形成されたポリイミド膜（表面保護膜）8とを備えている。金属配線層6には冗長用ヒューズ等の冗長回路と外部導出用パッド等が設けてある。また、図1に示すように、半導体基板4上のチップの無い領域にポリイミド膜8が形成されている。図中の1はチップのある領域でポリイミドの残っている領域、2はチップのない領域でポリイミドの残っている領域であり、共に斜線で示した。

【0011】つぎに、この半導体装置の製造方法について説明する。ポリイミド膜8の形成までは、従来方法と同様である。すなわち、半導体基板4上の層間絶縁膜5上にアルミニウム合金膜を堆積した後、写真食刻法により、金属配線層6を形成する。その後、パッシベーション膜7として、プラズマ化学気相堆積法により、シリコン窒化膜を形成する。その後、パッケージ材料から放出される放射線を遮る目的で、ポリイミド膜8を形成する。このポリイミド膜8は、パッド部のパッシベーション膜7の開口マスクを兼ねており、開口部はフォトリソグラフィ法により所望の箇所を開口するようにパターンニング形成する。

【0012】このとき、ポリイミド膜8はネガ型であり、チップの存在しない領域にも露光し、ポリイミド膜8の残っている領域2が存在するようにする。また、図1ではチップの無い領域全域にポリイミド膜8が残っているが、パターンニング時に、半導体基板4上のチップの無い領域の開口率が一定の割合以下となるようにパターンニングしてもよい。その割合については以下の様になる。スクライブレーンとして幅160 μ m程度のもの、ウェハ内のすべての領域に露光することを想定した場合、チップ面積が小さいほど開口率が大いことになる。例えば、チップ面積が1mm \times 1mmの場合、約25%である。また、10mm \times 10mmの場合に3.1%、20mm \times 20mmの場合に1.6%、50mm \times 50mmの場合に0.4%となる。実際にハンドリング可能なチップ面積は、1mm \times 1mm程度のもので、開口率としては25%以下である必要がある。但し、10%以下であることが好ましい。

【0013】この実施の形態によれば、半導体基板4上のチップの無い領域にポリイミド膜8が形成されているので、ポリイミド膜8の所望の箇所を開口するエッチングの範囲が小さくなり、金属配線層6を形成しているアルミニウム合金やその上層にある反射防止を目的とした

TiN膜の一部またはその一部がエッチングガスと反応したものが、スクライブ部やヒューズ部の上に落下することを抑制できる。このため、スクライブ部やヒューズ部の表面に凹凸がなくなり、外観上も問題なく、後の工程においてもアライメント不良が発生しなくなる。

【0014】

【発明の効果】この発明の請求項1記載の半導体装置によれば、半導体基板上のチップの無い領域に表面保護膜が形成されているので、製造時において表面保護膜の所望の箇所を開口するエッチングの範囲が小さくなり、金属配線層を形成しているアルミニウム合金やその上層にある、反射防止を目的としたTiN膜の一部またはその一部がエッチングガスと反応したものが、スクライブ部やヒューズ部の上に落下することを抑制できる。このため、スクライブ部やヒューズ部の表面に凹凸がなくなる。

【0015】この発明の請求項2記載の半導体装置の製造方法によれば、半導体基板上のチップの無い領域の開口率が一定の割合以下となるようにパターンニングするので、表面保護膜の所望の箇所を開口するエッチングの範囲が小さくなり、金属配線層を形成しているアルミニウム合金やその上層にある反射防止を目的としたTiN膜の一部またはその一部がエッチングガスと反応したものが、スクライブ部やヒューズ部の上に落下することを抑制できる。このため、スクライブ部やヒューズ部の表面に凹凸がなくなり、外観上も問題なく、後の工程においてもアライメント不良が発生しなくなる。また、スルーボットの観点から半導体基板上のチップの無い領域は開口しているほうがよいので、開口しないことによる上記効果と鑑みて開口率が一定の割合以下とすることが望ましい。その割合については以下の様になる。スクライブレーンとして幅160 μ m程度のもの、ウェハ内のすべての領域に露光することを想定した場合、チップ面積が小さいほど開口率が大いことになる。例えば、チップ面積が1mm \times 1mmの場合、約25%である。また、10mm \times 10mmの場合に3.1%、20mm \times 20mmの場合に1.6%、50mm \times 50mmの場合に0.4%となる。実際にハンドリング可能なチップ面積は、1mm \times 1mm程度のもので、開口率としては25%以下である必要がある。但し、10%以下であることが好ましい。

【0016】請求項3では、上記のようにチップ面積が小さいほど開口率が大いことになるが、最小のチップ面積の場合の開口率が25%なので、これ以下にする必要がある。

【図面の簡単な説明】

【図1】この発明の実施の形態の半導体装置の簡略平面図である。

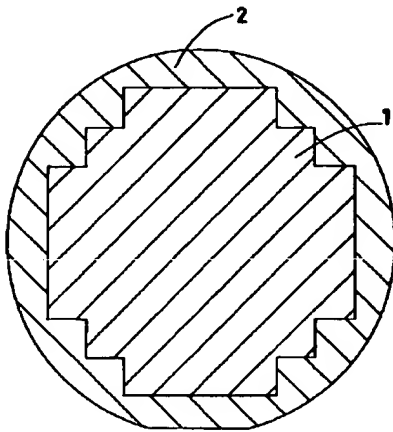
【図2】従来の半導体装置の断面図である。

【図3】従来の半導体装置の簡略平面図である。

【符号の説明】

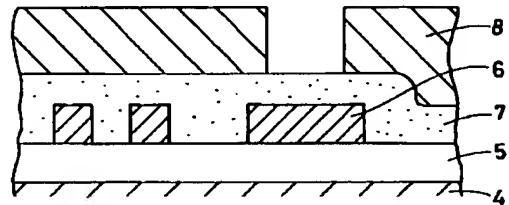
- | | |
|---------------------------|------------|
| 1 チップのある領域でポリイミドが残っている領域 | 5 層間絶縁膜 |
| 2 チップのない領域でポリイミドが残っている領域 | 6 金属配線層 |
| 3 チップのない領域でポリイミドが残っていない領域 | 7 パシベーション膜 |
| 4 半導体基板 | 8 ポリイミド膜 |

【図1】



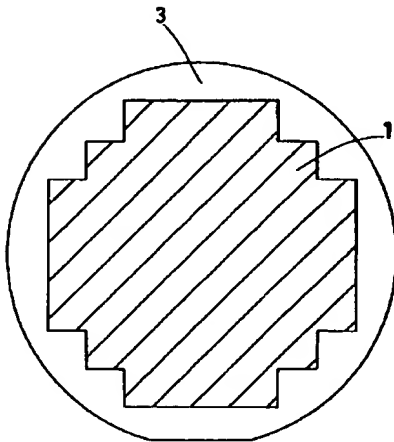
- 1…チップのある領域でポリイミドが残っている領域
2…チップのない領域でポリイミドが残っている領域

【図2】



- 4…半導体基板
5…層間絶縁膜
6…金属配線層
7…パシベーション膜
8…ポリイミド膜

【図3】



- 3…チップのない領域でポリイミドが残っていない領域